

プログラマブル コントローラ FA-2シリーズ

豊田 茂^{*1)}・伊沢克己^{*2)}・笠谷昌徳^{*3)}

米田親男^{*4)}・高見浩志^{*5)}

1. まえがき

当社におけるプログラマブルコントローラ(以下P C)の歴史は古く、昭和43年発売のステッピングプログラマ(カムドラム方式)を初め、ピンボード方式のPRGシリーズ、マイクロコンピュータを応用したPLS-2N, FA-1, FA-1Jの各シリーズの発売など、約20年の歴史を有している。近年では、P Cに要求される機能も多種多様となりFA及びC I M化に対応させる必要性や、より高精度な制御の要求がある。これらのニーズをもとに開発したFA-2シリーズについて以下に述べる。

2. 製品概要及び仕様

FA-2システム構成、性能仕様、外観をそれぞれ図1、図2、表1に示す。

3. 開発の背景と機能説明

P Cが広く普及した背景として無接点化による信頼性の向上や、P Cが制御の高度化に対応する能力を持っていることが、大きな要因となっている。

制御の高度化に対応する手段として、従来はマイクロ

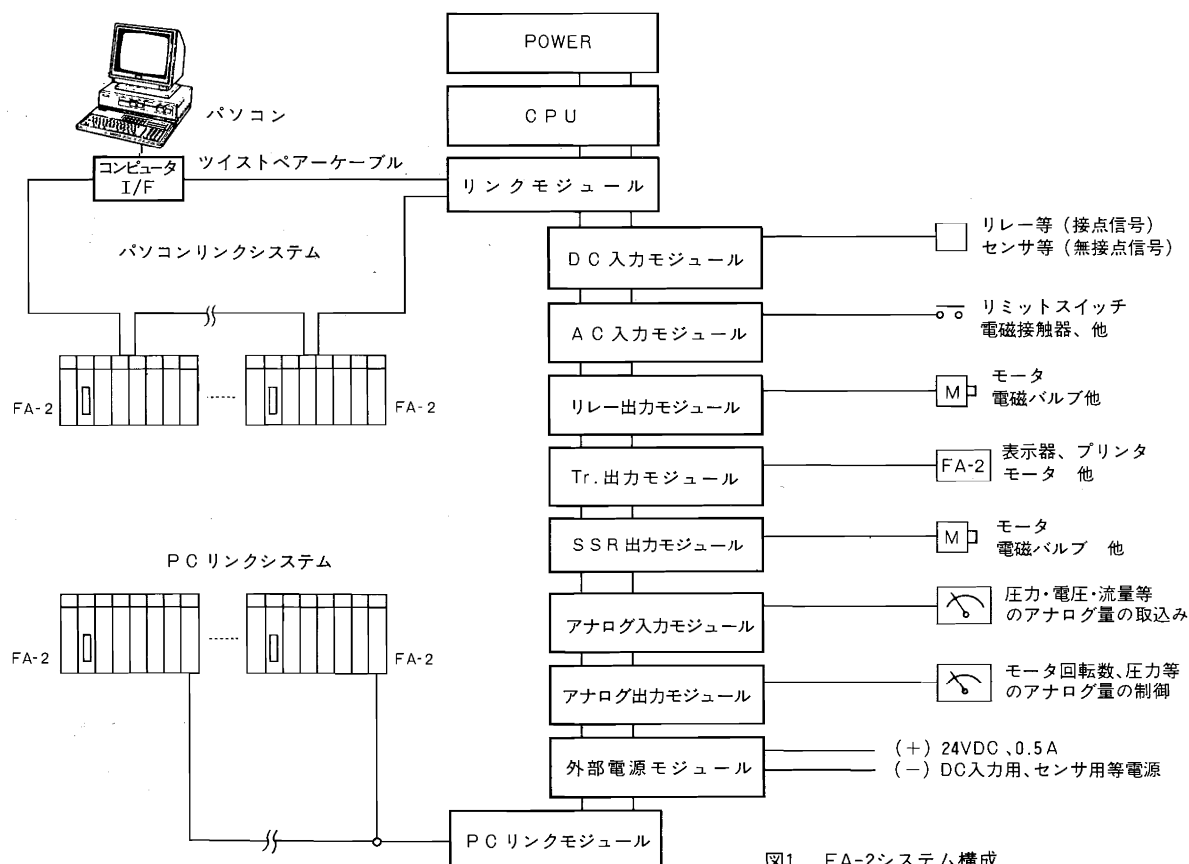


図1. FA-2システム構成

- *1) 開発設計部 システム開発 第2グループ担当課長
 *2) 開発設計部 システム開発 第2グループ担当課長
 *3) 開発設計部 システム開発第2グループ
 *4) 同上
 *5) 同上

表1 性能仕様

制御方式	ストアードプログラム方式
プログラム方式	リレー接点式
命令語	基本命令15種、応用命令約140種
プログラム容量	最大4Kステップ(4036ステップ)
メモリパックの種類	E ² PROM 4Kステップ CMOS-RAM 1K、4Kステップ EPROM 4Kステップ
命令実行時間	基本命令平均 6 μ s/1命令
入力点数	最大128点(ただし内1点はスタート端子)
出力点数	最大128点
拡張入力点数	最大128点
拡張出力点数	最大128点
内部リレー	480点(うち240点キープ可能)
特殊内部リレー	32点
シフトレジスタ	128点(全点キープ可能)
シングルアウト	96点
タイマ	80点減算式(0~999.9sec.)
カウンタ	45点(0~9999)全点キープ可能
可逆カウンタ	2点(キープ可)、クロック切替式、ゲート切替式
データレジスタ	400点
外部制御入力	スタート端子(0番入力固定、解除可) (ストップ、リセット入力、FUNにて)
停電記憶機能	内部リレー、シフトレジスタ、カウンタ、可逆カウンタ、データレジスタ

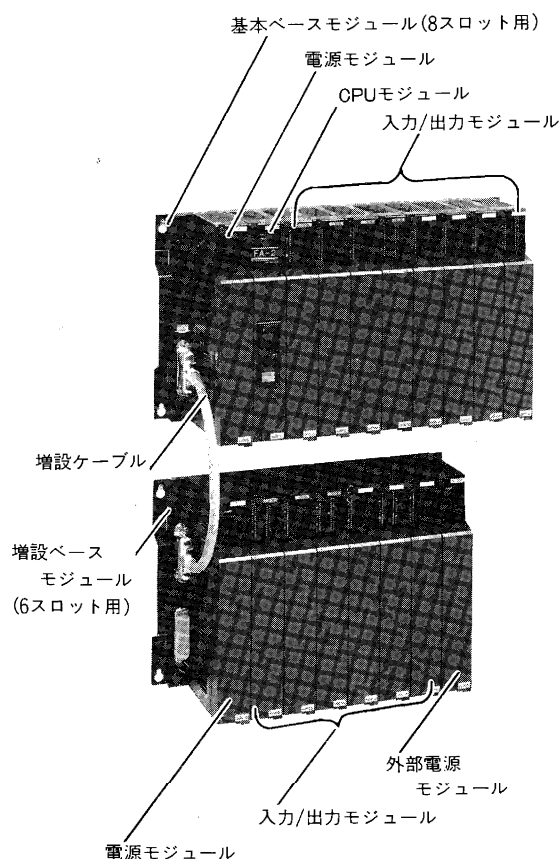


図2. 外 観

コンピュータシステムを用いた、システム構成を採用していた。マイクロコンピュータシステムでは、ソフトウェアの開発でコスト、納期に問題が発生して、広く普及するに至らなかった。

ソフトウェアの開発を容易にするため、リレーシーケンス技術者が容易に理解可能な命令語(ラダー図形式)をPC機能に持たせることにより上記のコスト、納期が大巾に改善され、広く普及した要因と考える。PCのプログラム開発がいかに効率良く、容易にできるかがPCの新製品開発における重要課題である。我々は、以下の項目を重要視したFA-2シリーズを開発した。

- 1) 命令語形式の統一化
- 2) 周辺プログラムツールの共通化
- 3) ユーザソフト資産の有効利用

FA-1, FA-1Jシリーズを導入していただいたユーザの各種アプリケーションソフトウェアを、FA-2シリーズにおいても継続して使用できるようにすることによりシステムの発展及び拡張が可能となる。

その他、ハードウェア部においては、制御機器として最も重要な耐ノイズ性を実現する為FAシリーズでは、出力リレーに耐ノイズ特性を考慮したRS1S形リレーを採用している。このリレーはPCの出力用リレーとして当社が開発したものである。特に出力接点、コイル間の静電容量が最小となる構造になっており、高い耐ノイズ特性を可能にした。又、FA-2出力モジュールにおいてはリレー交換を可能にするため、プリント基板用リレーソケットも同時に開発した。

CPUモジュールは8ビット高性能マイクロプロセッサ(インテル製P80C31BH-1, 16MHz)を使用している。メモリパック内の各シーケンス命令語は数ステップのマシン語に翻訳(コンパイル)されたのち、CMOS-RAMエリアにストアされる。CPUはこのCMOS-RAMエリア(32KBYTE)内のマシン語にて実行するため、高速動作が可能となった。

また、各種入出力モジュールの高機能化に対応するため、それぞれにCPU回路を組込む計画である。(PCリンクモジュールでは実施済み)。

CPUモジュールと各種高機能モジュール間はデュアルポートRAMにて、インターフェイスされている。システムソフトウェアから、データ転送のタイミングを可変できるハード構成にするため、BUSドライブ回路は、P80C31BH-1のメモリ空間に割付けている。各種入出力モジュール内には専有する入出力点数を、コード化した識別コードが設けてあり、電源投入時に、システムソフトにて、システム構成状態をチェックし、異常が発生していないかどうかを診断する機能も有している。(内部リ

レー705のSET操作)

システム動作として、以下に示す各種エラー情報の検出機能を設けた。

- 1) 瞬時停電の情報記憶機能
- 2) WDT (ウォッチドッグタイマ) 機能
- 3) メモリバック交換検出
- 4) ユーザプログラムのCRCエラー
- 5) TIM/CNT設定値のCRCエラー
- 6) プログラムチェックエラー
- 7) キープデータサムチェックエラー
- 8) FA-2プログラムチェックエラー

また、FA-2用ローダを用いると、プログラムエラーアドレスの検出も可能である。

以下に、その他開発のねらいとした、機能構成部分について述べる。

3.1 I/O点数は最大512点まで制御可能

FA-1, FA-1Jの上位機種として、2倍の能力を持たせるために、入出力点数を512点に拡張した。また、新しくI/O BUS構造を決定し、データライン8本、モジュール内アドレスライン3本、モジュールセレクトライン4~8本、ラックアドレス3本、割込み信号1本により構成されている。命令語においては新しく拡張領域を設け、入出力128点を追加した。同様に内部リレー240点、データレジスタ300点も追加した。

3.2 アナログ入出力モジュール

アナログ信号をPCにて処理可能とし、プロセス制御、

計測の分野に広く応用用途を拡大した。12ビットの分解能を有し、高精度の制御が可能で、特に温度制御の分野ではPID制御が可能となり、省エネルギー対策としての応用実績も多い。アナログ入力モジュールの仕様を表2に示す。

アナログ入力モジュールにおいて、入力信号線は微小信号、高インピーダンスを取り扱う場合が多く、特に耐ノイズの配慮が必要となる。以下に本モジュールの耐ノイズ対策について示す。

入力回路は図3に示す構成となっている。工場フロアにおいては、ノイズ電流 I_n が複雑に流れており、外乱の大きな要素となっているが、2芯シールド線及び差動アンプにて打消されることになり、外乱の影響を最少にすることができる。電磁誘導および静電誘導についてはシールド線の使用効果が大きい。

シールド線接地は原則として一点接地とするが、検出機器側ですでに接地されている場合もあり、接地点を検

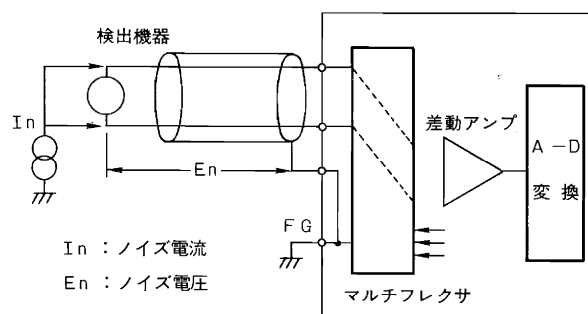
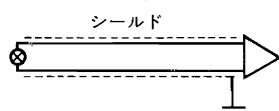


図3. 入力回路構成

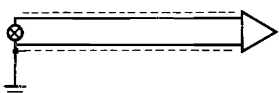
表2. アナログ入力モジュール仕様

モジュール名		アナログ入力モジュール(12ビット, ±10V仕様)
形番		PF2-AD121
占有入力点数, 出力点数		入力16点, 出力8点
入力範囲	電圧	DC - 10 ~ + 10 V
	電流	DC + 4 ~ + 20 mA
入力インピーダンス		電圧入力 30 kΩ, 電流入力 250 Ω
入力接続可能点数		8点(入力電圧, 電流を端子にて選択可能)
入力特性		5頁特性図をご参照ください。
分解能		12ビット[(0000) _H ~ (0FFF) _H]
最大分解能		電圧 4.9 mV, 電流 20 μA
総合精度		±1%以内(最大値に対する精度)
絶対最大入力		電圧 ±15 V, 電流 ±30 mA
A/D変換時間		400 μsec / 1 ch (1点)
内部消費電流	DC 5 V	350 mA
	DC 12 V	160 mA
絶縁	内部-外部間	絶縁(フォトリソ)
	各チャンネル間	非絶縁
耐電圧		外部端子 - 本体ケース間 AC 500 V
絶縁抵抗		外部端子 - 本体ケース間 10 MΩ以上(DC 500 Vメガにて)
重量(約)		710 g
外部接続方式		端子台コネクタ

- (a) 検出側がフローティングされている場合は、シールドを受信端側で接地する。



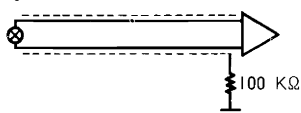
- (b) 検出側で接地されている場合は、シールドも同じ点で接地する。



- (c) 信号が受信端側で接地されている場合は、シールドも受信端側で接地する。



- (d) 検出側がフローティングされている場合は、シールドを100 K Ω 程度の抵抗器を通して受信端側で接地する。



- (e) 検出側でシールドと信号線が接続されている場合は、シールドを100 K Ω を通して受信端側で接地する。

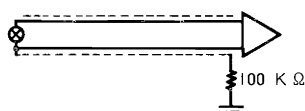


図4. 接地実施例

出側または受信端側どちらかで選択する必要がある。各種接地例を図4に示す。

アナログ出力モジュールの内部回路ブロックを図5に示す。PC内部電源とアナログ出力回路は、フォトカプラやDC-DCコンバータを用いて絶縁する構成とした。このことにより、PC内部のスイッチングノイズをアナログ系に影響させないことや、工場内アナログ系の接地対策を容易にすることが可能となった。出力信号の配線にはアナログ入力と同じ配慮が必要である。このモジュールは32点出力モジュールと同じ識別コードを持ち、32出力点数を専有する。12ビット構成の為、上位4ビットは無効となる。出力信号の形態は電圧出力、または、電流出力のどちらかを端子台の配線で選択することが可能である。FA-2アナログ出力モジュールは、出力仕様ごとに2機種開発した。

- PF-2-DA121形 電圧DC-10 $\sim$ +10V
電流DC+4 $\sim$ +20mA
- PF-2-DA122形 電圧DC 0 $\sim$ +5V
電流DC+4 $\sim$ +20mA

FA-2-DA121形電圧出力の場合 12ビット(000H $\sim$ FFFH)のデジタル値をデータラッチに出力すると、D-A変換され電圧出力として V_o -COM $_0$ 間に出される。デジタル値0の場合、出力値は-10V、デジタル値4096の場合は+9.9951Vが出力される。デジタル値とアナロ

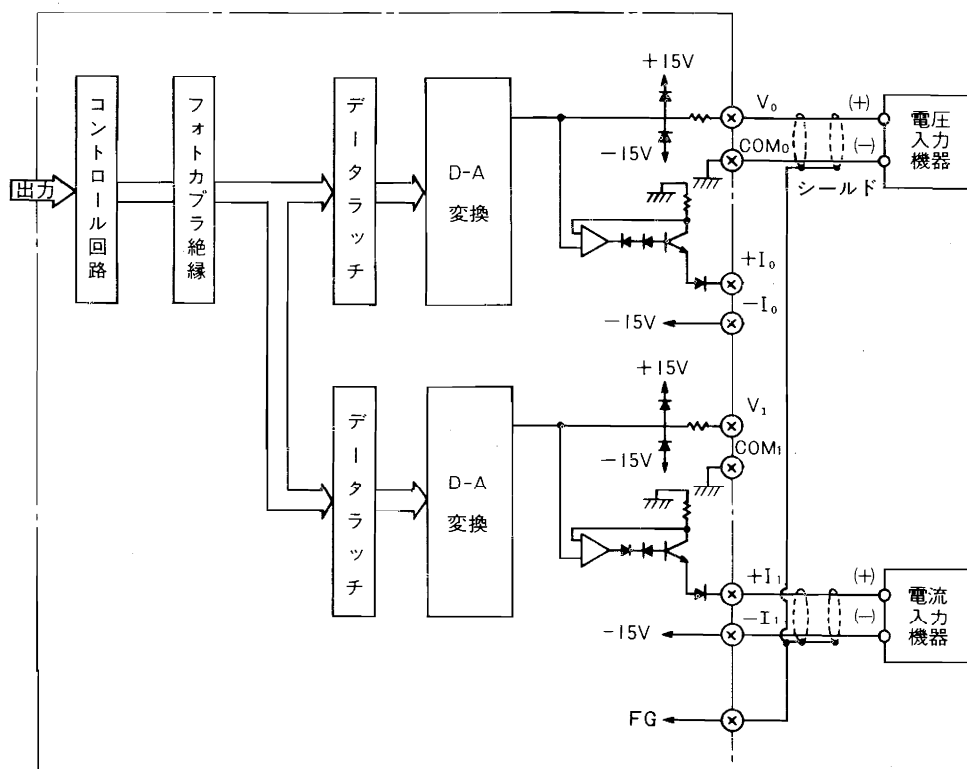


図5. アナログ出力内部ブロック

グ出力値は次の式で算出される。

$$\text{デジタル値} = \frac{4096 \times (\text{アナログ電圧出力値} + 10)}{20}$$

$$\text{デジタル値} = \frac{819 \times (\text{アナログ出力電流値} - 4)}{16} + 2253$$

本モジュールの出力信号は、温度調節装置、サーボコントローラ、可変速装置（インバータ）等の応用実績がありPCの用途が一段と広がった。

アナログ信号は伝送ケーブルの特性や各機器の特性により、アナログ信号の非直線特性、原点値に対するオフセット特性が複雑に関係している。本機の命令語においては、これらの特性を容易にプログラム可能なりニア(X↔Y)変換命令を組み込んだ効果は大きい。

アナログ入出力モジュールを用いて、システム構成する場合は微小信号を取扱うことになるため、配線やパネル構造に注意しなければならない。

以下に考慮すべき項目を記す。

- 1) 配置は強電、高エネルギー機器と分離する。(電波発生機器は特に注意する)
- 2) 信号線と動力線は分離する。
(平行設置はしないこと)
- 3) シールド線を使用する。
- 4) 電源はアナログ機器専用の一系統とする(絶縁トランスにて制御用電源と分離する。)

図5に示すごとく、出力モジュールにはD-A変換回路を2回路構成して、出力端子にて電圧又は電流出力を選択できる構成とした。電流出力の負荷は520Ωまで接続可能である。

3.3 通信機能の強化 (FA ネットワークシステムの実現)

FAの追求には中核となるコンピュータを中心に工場管理を実現させる必要がある。このコンピュータの主な応用分野は工場内の事務処理、工程管理、生産管理、ネットワークに接続されたPCのプログラム管理……と数

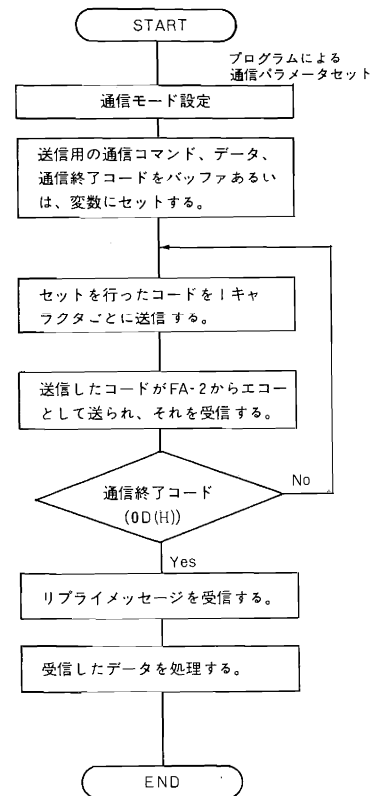


図6. データ通信フローチャート

```

00001 /*
00002 ****
00003 ** リクエスト メッセージ送信 & リプライ メッセージ受信 **
00004 ****
00005 */
00006
00007 unsigned char trs_msg( req_msg , rep_chk )
00008 char *req_msg , *rep_chk ;
00009 {
00010     int i ;
00011     unsigned char j ;
00012
00013     while( req_msg != NULL )                /* リクエスト メッセージ送信 */
00014     {
00015         trs1( *req_msg++ ) ;                /* 1 バイト送信 */
00016         if( rec1( OVERTIME ) )              /* 1 バイト受信 */
00017             return( 10 ) ;
00018     }
00019
00020     i = 0 ;
00021     do                                        /* リプライ メッセージ受信 */
00022     {
00023         if( rec1( OVERTIME ) )
00024             return( 0 ) ;
00025         rep_msg[ i++ ] = buffer ;
00026     }
00027     while( buffer != '\r' ) ;                /* 0 D コードチェック */
00028
00029     if( rep_msg[0] == 'd' )                  /* NG コード 処理 */
00030     {
00031         j = rep_msg[ 1 ] - 0x30 ;
00032         return ( j ) ;
00033     }

```

図7. プログラムソフト例

多く要求されている。FA-2 シリーズは 図1 に示すごとく超低価格でツイストペアケーブルまたは光ファイバケーブルにて合計32台の PC を接続しパソコンからの指令で、各 PC のプログラムや内部データをパソコンに集め、集中管理が可能となっている。同図に示すパソコンリンクシステムにおいて、応用ソフト開発時のユーティリティソフトとして、1 バイトデータ通信のフローチャートおよび C 言語によるプログラムソフト例を 図6、図 7 に示す。

パソコンリンクシステムは最大32台までのPCをリング状に光ファイバ、または、ツイストペアケーブルで接続可能である。

プラスチックファイバ使用時ユニット間最大50m、石英ファイバは300mまで接続可能である(局間の最大長さ)。

ツイストペアケーブルはRS422仕様に準拠しており、最大300mまで接続可能である。また、通信レートは9600 BPSである。低価格でネットワークシステムを実現しているため、導入例も多く、パソコンアプリケーションソフトと共に広く普及している。

3.4 PCリンクモジュールによる入出力信号、データの通信

PCリンクモジュールを使用することにより、16台の各FA-2システムの内部データ(112 Bit)を共有化することが可能となり、通常、FA-2はI/O点数最大512点までの制御能力であるが、16台をリンクすることにより大規模な制御が可能となる。16台リンク時には、データレジスタ2800~2956のエリヤが演算命令にて割付られる。最大16台リンク時は、230 msec の1サイクル伝送時間となり、高速データ伝送を実現している。伝送線路は5 C2V(50Ω)同軸ケーブルを使用し、外来ノイズの影響を少なくしている。図8にインターフェイス部の回路構成を示す。

高速データ伝送を行なうにはデータ歪みやノイズが問題となる。そのため、伝送路には高周波特性の良い同軸ケーブルを使用すると共に、絶縁トランスによってトランスバと伝送路の間を絶縁し、ノイズの影響を低減している。伝送路データには、周波数占有帯域の狭いマンチェスター・データ(1f~2f)を使用し、データ歪みを低減している。

バス形式の伝送路でN対N通信を効率良く行なうため HDLC に準拠した伝送制御を行なっている。(JIS 規格 C6363, C6364, C6365参照)。

以下、送信側のデータ波形、HDLCフレーム構成、PCリンクシステムを図9、図10、図11にそれぞれ示す。

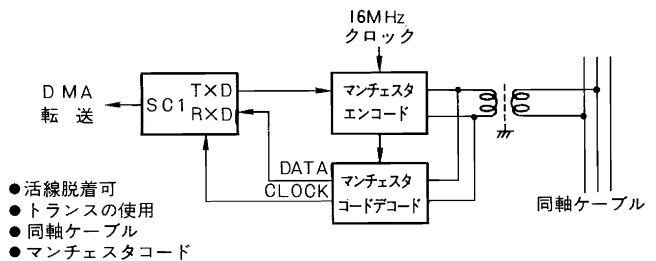


図8. インターフェイス回路

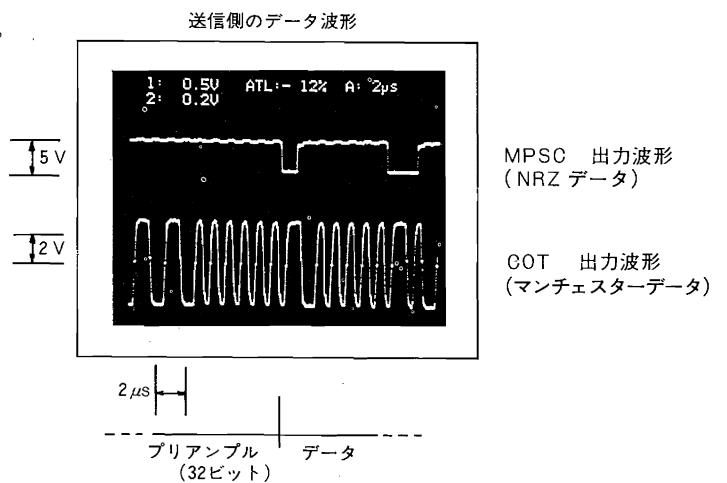


図9. 送信側のデータ波形

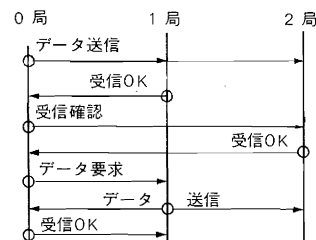
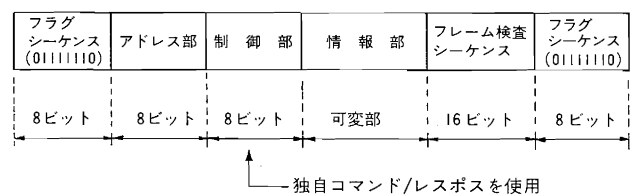


図10. HDLC フレーム構成

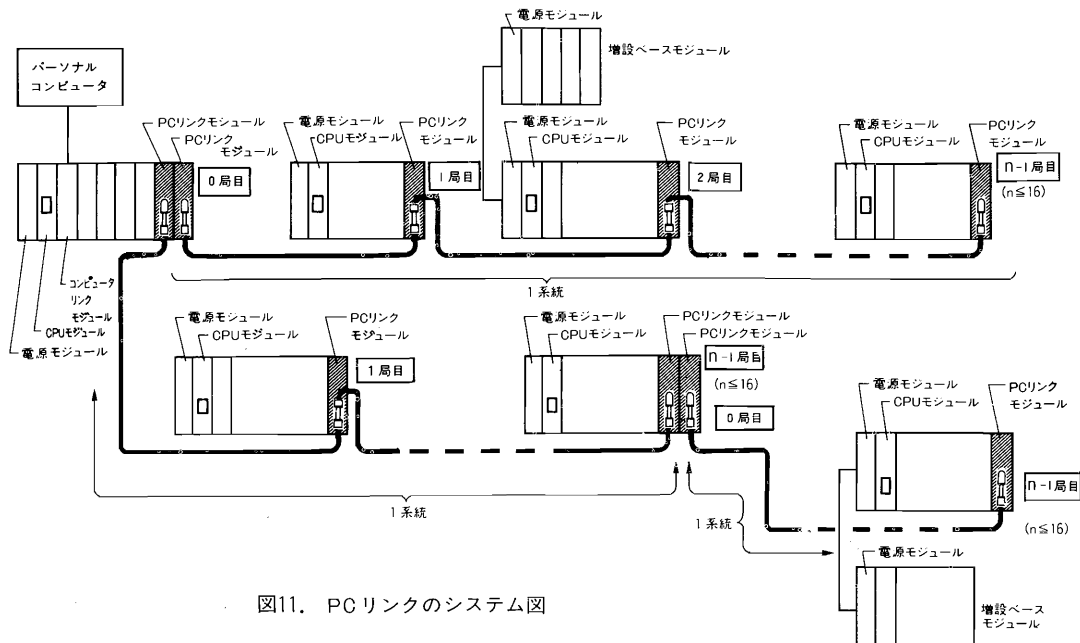


図11. PCリンクのシステム図

3.5 メモリパック方式とプログラムローダ

PCに代表される各種プログラマブル機器においては、そのプログラム内容を容易に交換、保管、管理することができれば非常に使い易い。

FAシリーズにおいては、メモリパック方式の採用により、これらのニーズに対応している。プログラム開発時は、変更も多いので、CMOS-RAMタイプを推奨している。プログラム内容が確定した時点では、E²PROMタイプを使用すると、長期間安定して使用可能となる。各種メモリパックを有効に使用するため、プログラムローダ内にPROM書込み機能を設けた。長期間の停電対策、電池寿命、メンテナンス性の諸問題を解決する手段として、ユーザ側の選択に幅を持たせている。

プログラムローダ内のユーザプログラムエリアは大容量コンデンサにてデータを保持させている（一週間以上）。

ローダとACアダプタを組合せると、ローダのみで独立してプログラムを作成すること（オフィスプログラミング）を可能とした。

図12は、FA-2のCPUにE²PROMメモリパックを使用し、CPU内部のメモリバックアップ用大容量コンデンサを十分充電された状態にした後、周囲温度（60℃、20℃、-5℃）に対して、バックアップ電圧の変化の様子を調べたものである。（サンプルは同一なので、温度変化のみが示されている。）

結論として、PC停電時のデータ保持特性は温度に依存することになる。

3.6 ラダー図入力用CAD（ラダー入力プログラム）について

周辺ツールの一つとして、汎用パソコンによるラダー

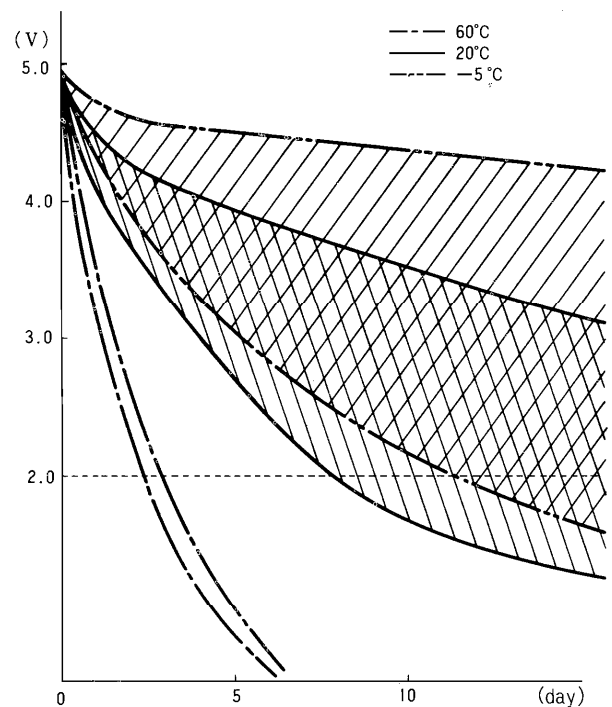


図12.

図作成用CADソフトウェアを開発した。主な特長を以下に述べる。

- (1) 対話形式の使い易い操作方式
- (2) ニーモニック、ラダー形式のコンパイル機能
- (3) 強力なチェック機能とラベル登録機能
- (4) クロスリファレンスのプリント出力が可能
- (5) C言語にて開発された高速動作
- (6) ユーザプログラムの管理機能
- (7) 日本語漢字入力が可能

ファイル名 STEP 10

```

*****
* STEP 10 *****
* 工程歩進 (STEP 10) *****
*****
8784 M0V [F147]—[F247]—[F147]
      [0228] [0010] [0010]
8800 SPRUN [0318] [0010]
8210 M0V [F147]—[F247]—[F147]
      [0228] [0010] [0010]
      M0V [F147]—[F247]—[F147]
      [0228] [0010] [0010]
      SPRUN [0311] [0010]
8210 M0V [F147]—[F247]—[F147]
      [0228] [0010] [0010]
      SPRUN [0312] [0010]
      (END)
8717 STEP [0010]
8717 ( )
*****
* 工程歩進 (STEP 20) の取り込み *****
* STEP 20 *****
* 工程歩進 (STEP 20) の取り込み *****
* STEP 60 *****
* 工程歩進 (STEP 60) の取り込み *****
* STEP 70 *****
* 工程歩進 (STEP 70) の取り込み *****
* STEP 78 *****
* 工程歩進 (STEP 78) の取り込み *****
* STEP 38 *****

```

ファイル名 STEP 20

```

*****
* 工程歩進 (STEP 20) *****
*****
8780 M0V [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 (SET)
8210 ( )
8210 ( )

```

ファイル名 STEP 60

```

*****
* 工程歩進 (STEP 60) *****
*****
8283 M0V [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 ( )
8285 ( )
8210 ( )
8780 R [0010]
8714 C

```

ファイル名 STEP 70

```

*****
* 工程歩進 (STEP 70) *****
*****
C 88 [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 ( )
8286 ( )
8001 SPJMP [F147]—[F247]—[F147]
      [0010] [0010] [0010]
      S
      (END)

```

ファイル名 STEP 30

```

*****
* 工程歩進 (STEP 30) *****
*****
8717 M0V [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 ( )
8282 ( )

```

ファイル名 STEP 50

```

*****
* 工程歩進 (STEP 50) *****
*****
8717 M0V [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 ( )
8283 ( )
      (END)

```

ファイル名 STEP 40

```

*****
* 工程歩進 (STEP 40) *****
*****
8780 M0V [F147]—[F247]—[F147]
      [0010] [0010] [0010]
8717 ( )
8284 ( )
      (END)

```

図 13 ファイル取り込み例

表 4. 命令語一覧 1

項目	命令番号	命令記号	命令名	命令	内容	機能	ステップ数
データ変換	230	CVTTD	CONVERT TEN THOUSAND TEN THOUSAND TO DOUBLE		16ビット(4桁)→ 16ビット(フル)データ変換	16ビット(4桁) 16ビット(フル) (S+1)(S)→(D+1)(D)	6
	231	CVDTT	CONVERT DOUBLE TO TEN THOUSAND TEN THOUSAND		16ビット(フル)→ 16ビット(4桁)データ変換	16ビット(フル) 16ビット(4桁) (S+1)(S)→(D+1)(D)	6
	232	CVTTI	CONVERT TEN THOUSAND TO INTEGER		±符号+16ビット(4桁) →±15ビット(フル)	16ビット ±15ビット (4桁) (フル) (i)(S)→(D)	8
	233	CVITT	CONVERT INTEGER TO TEN THOUSAND		±15ビット(フル)→±符号 +16ビット(1桁)+16ビット(4桁)	±15ビット (フル) 上桁 下桁 (S)→(O)(D+1)(D)	8
	234	CVDEC	CONVERT DECODE(4→16)		4ビットデータ→16ビ ットデータデコード	(S)→Dの(S)ビット目 をオン	6
	235	OVENO	CONVERT ENCODE(16→4)		16ビットデータ→ 4ビットデータ エンコード	(S)→0≤(D)≤15 (S)→(D)=16	6
	236	CVNBN	CONVERT N BIT TO NUMBER		nビット→N	(D)よりn個分の0、IRをチェ ックし、最初にオンしてい るのが何番目かをDにセット	8
データローテーション	240	WRRWC	WORD RIGHT ROTATION WITH CY		16ビット(フル) データ右回転 ローテーション		4
	241	WLRWC	WORD LEFT ROTATION WITH CY		16ビット(フル) データ左回転 ローテーション		4
外部表示・印字	26 ^l	PDFMT	PRINT/DISPLAY FORMAT		外部表示・印字	表示器、プリンタのハー ド仕様などの指定	8
	27 ^l	PDCMD	PRINT/DISPLAY COMMAND			データの表示、印字命令	4+4n
外部データ 読み込み 設定	28 ^l	DGRBD	DIGITAL SWITCH READ(BCD)		BCDコード読み込み	n回路数の外部データを Dでn番目までデータを セット	10
プログラム分岐 (1)	5 ^t	TJMP	TAG JUMP		タグ付ジャンプ	t ₁ で指定したタグへ ジャンプ(入力オン時)	2
	6 ^t	TNJMP	TAG NOT JMP		タグ付NOTジャンプ	t ₁ で指定したタグへ ジャンプ(入力オフ時)	2
	7 ^t	TCALL	TAG CALL		タグコール	t ₁ で指定したタグへジャン プ後、次のアドレスへ戻る	2
	8 ^t	TAG	TAG		タグ	ジャンプ先のタグ番号指 定	2
	300	RET	RETURN		リターン	ジャンプ後、この命令よ りリターン	2
プログラム分岐 (2)	301	JZ	JUMP ZERO		ジャンプ	(S)=(0)ならばt ₁ へ ジャンプ	6
	302	JNZ	JUMP NON ZERO		ジャンプ	(S)≠(0)ならばt ₁ へ ジャンプ	6
	303	DJNZ	DECREMENT JUMP NON ZERO		ジャンプ	(D)-1→(D), (D)≠0 ならば、t ₁ へジャンプ	6

表5. 命令語一覧2

項目	命令番号	命令記号	命令名	命令	内容	機能	ステップ数
工程歩進制御	31 _ℓ	SPRUN	STEP RUN		工程実行	Dの工程番号のついたプログラムを実行	4
	320	SPJMP	STEP JUMP		工程ジャンプ	Sで指定したデータの工程へジャンプ	4
	33 _ℓ	SPFRS	STEP FORCE		強制歩進	強制的に工程歩進制御の工程を実行	2
	34 _ℓ	SPINH	STEP INHIBIT		歩進禁止	強制的に工程歩進制御の工程を禁止	2
	9 _ℓ	STEP	STEP		工程番号	工程番号指定	2
FIFO	40m	FIFO	FIFO FORMAT		FIFOフォーマット	FIFO(m) データファイルのフォーマット設定	8
	41m	FIEX	FIRST IN EXECUTION		FI動作	Sで指定したデータをFIFO(m) データファイルにセット	4
	42m	FOEX	FIRST OUT EXECUTION		FO動作	FIFO(m) データファイルのデータをDにセット	4
リード/ライト命令	45m	RDWTF	READ WRITE FILE FORMAT		リード/ライトフォーマット	RWPR(m) データファイルのフォーマット設定	8
	46m	WTEX	WRITE EXECUTION		ライト動作	Sで指定したデータをRWPR(m) データファイルにセット	4
	47m	RDEX	READ EXECUTION		リード動作	RWPR(m) データファイルのデータをDにセット	4
リフレッシュ	500	NIRF	n BYTES INPUT REFRESH		通常入力リフレッシュ	入力状態をシステム入力メモリにストア	6
	501	NORF	n BYTES OUTPUT REFRESH		通常出力リフレッシュ	出力状態をシステム出力メモリにストア	6
間接命令	600	W12IM	WORD S1, D2 INDIRECT MOVE		16ビットデータ転送 (16点ムーブ)	(S ₁) → (D ₁ + D ₂)	8
	601	W21IM	WORD S2, D1 INDIRECT MOVE		16ビットデータ転送 (16点ムーブ)	(S ₁ + S ₂) → (D ₁)	8
	610	BILD	BIT INDIRECT LOAD		1点ロード	(S ₁ + S ₂) → 論理演算レジスタ ("I/O")	8
	620	BIST	BIT INDIRECT STORE		1点ストア	論理演算 → (D ₁ + D ₂) レジスタ ("I/O")	6
	630	TMID	TIM INDIRECT		タイマ番号指定	TIM(D ₁ + D ₂) 番	6
	640	CTID	CNT INDIRECT		カウンタ番号、クロック入力	クロック入力(S ₁ + S ₂) 番号カウンタ(D ₁ + D ₂) 番号指定	10

(8) ファイル取り込み指定が可能

本プログラムは、MS-DOS（米国マイクロソフト社製）と呼ばれるディスクオペレーティングシステムの環境下で起動する。機能的に大別するとラダー入力部、プログラム転送部、モニタ部に分けられる。

MS-DOSの管理下によりユーザプログラムは、ファイル化され、ソフト資産となりFAシリーズプログラマブルコントローラの全機種のソフトの共用化が可能となる。

ユーザプログラムの構成上、2系統のワークファイルを作成する。コードファイル（ニーモニックファイル）とラダーファイルである。コードファイルとは、プログラマブルコントローラの実行用シーケンスプログラムであり、ラダーファイルは、ユーザがパソコンのディスプレイ上で作成したラダー作図プログラムである。

それぞれのプログラムファイルは、ラダー入力プログラムソフト内に組み込まれている自社開発のコンパイラにより、相互交換がなされ、ラダーファイルからコードファイル、コードファイルからラダーファイルへと変換できる。変換速度は、プログラム容量4Kステップ当たり約30秒で行う。

自社コンパイラの機能の一部として、ラダーファイル内に、分割されているラダーファイルの名前を記述することで、ファイル名の記述数だけファイルの取り込みを行い、連続的に、コンパイルを繰り返す。

図13において、コンパイラが行う具体的ファイルの取り込み例を示す。コンパイラにおけるファイルのネスティングは、8レベルまで指定可能である。

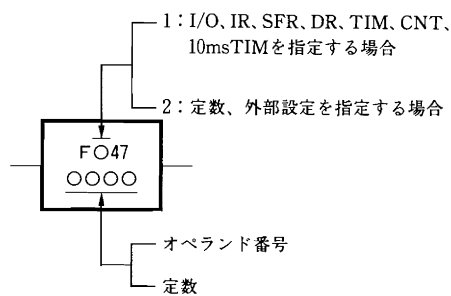


図14. オペランド設定の構成

ユーザに対して、分割したラダーファイルを作成することは、ラダープログラムを効率良くでき、また無駄のないプログラムが作成できる。

3.7 強力な命令語について

PCに要求される機能としては、もはやリレー、タイマ、カウンタの代替機能ではなく、制御用コンピュータとしての機能を要求されている。リレーロジック的表現（ラダー図）にて、数多くの命令語を表現するためや、より複雑なデータ処理をプログラムしやすくするために、演算応用命令（FUN形式）を使用している。図15に演算応用命令の基本構成を示す。表4、表5に示す命令語一覧表（特徴ある命令語のみ抜粋）のごとく、強力な命令語と機能を有している。特筆すべき命令として、下記のものがある。

- ・表示、印字命令
- ・リニア変換
- ・工程歩進
- ・FIFO（命令）

図15の入力Xに続く最初の命令はF147と、命令コード（命令語一覧表の命令番号）がプログラムされる。次に続くF147or247は、各命令コードに必要なオペランドをプログラムする。オペランド設定の構成を図14に示す。オペランド番号は表3に示すごとく、PC内部の全データを演算応用命令の対照にすることが可能である。

表3. オペランド番号一覧表

オペランド番号(C)	オペランド	
0~157	入力	No.0~157
2000~2140	拡張入力	No.2000~2140
200~357	出力	No.200~357
2200~2340	拡張出力	No.2200~2340
400~680	内部リレー	No.400~680
2400~2680	拡張内部リレー	No.2400~2680
800~899※	データレジスタ	No.0~99
1500~1799※	拡張データレジスタ	No.100~399
900~946	カウンタ	No.0~46
1000~1079	タイマ	No.0~79
1100~1179	10msec.タイマ	——
1300~1427	シフトレジスタ	No.0~127
2800~2957	リンクレジスタ	——

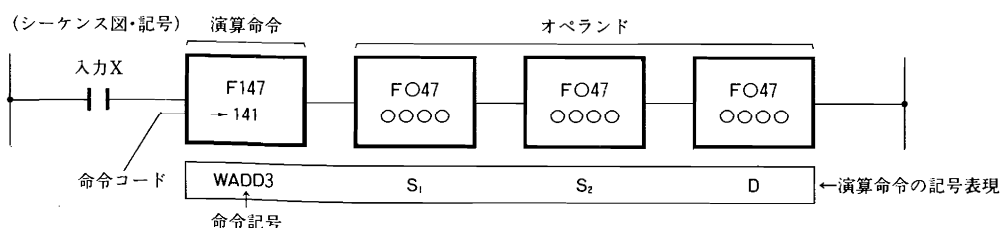


図15. 演算応用命令の基本構成

図15のS₁, S₂は、それぞれ、演算前のデータ格納場所を示す。Dは演算応用命令実行後の結果データ格納場所を示す。

次に、応用例として、図16に表示印字命令を用いたプログラム例を示す。図17には、プリンタの接続例を示す。表示印字命令においては、データ位相の指定、ラッチ信号位相の指定が可能であり、各種工業用表示器や、プリンタの仕様に合わせて、プログラムにて対応が可能となっている。

マイクロコンピュータの機械語では数100ステップ必要な動作がFA-2の命令語では、数10ステップで簡単に実現可能となった。PCに接続される外部表示機器は従来数字表示が多く使用されていたが、近年では、文字表示も広く使用される為、FA-2では、文字列情報を制御可能とした。

3.8 タイムチャートモニタ(デバッグ ツール)について

FA-2には、トレーストリガ命令とオペランド指定命令が組み込まれているが、このトレース命令を使用して、ある条件成立時のPC内部情報を、トレースデータとして保持しておくことができる。本プログラムはこの条件

成立時のPC内部トレースデータをNEC製PC-98シリーズを使用してパソコン側に取り込み、オペランドフォーマット情報に対応した表示形式でタイムチャート表示を行なうことができる。(図18参照)

これによりPC側の1スキャン毎の動作状態を時系列順に並べて複数のオペランド内容がモニタできるため、PC側のプログラムデバックが容易になる。

本プログラムを使用してモニタを行なう場合のPC側のプログラム条件、およびプログラム機能概要を以降に記述する。また、表示オペランド項目、表示形式の種類を表6にまとめ、実際の表示画面例を図20に示す。

本ユーティリティの主な特長とデータの表示形式を次に示す。

- アンサインドタイプ (0~65535の範囲で数値表示)
- インテジャータタイプ (±32767の範囲で数値表示)
- T/Cタイプ (タイマ/カウンタのカウント値とカウントアップ状態の表示)
- ビットタイプ (ビット「1」をON状態とするグラフ表示)

表示形式を相互に変更したり、表示項目の表示位置の移動、表示データのプリンタ出力、表示データのフレキシブルディスクへの保存、保存データの再表示等を選択して実行できる。

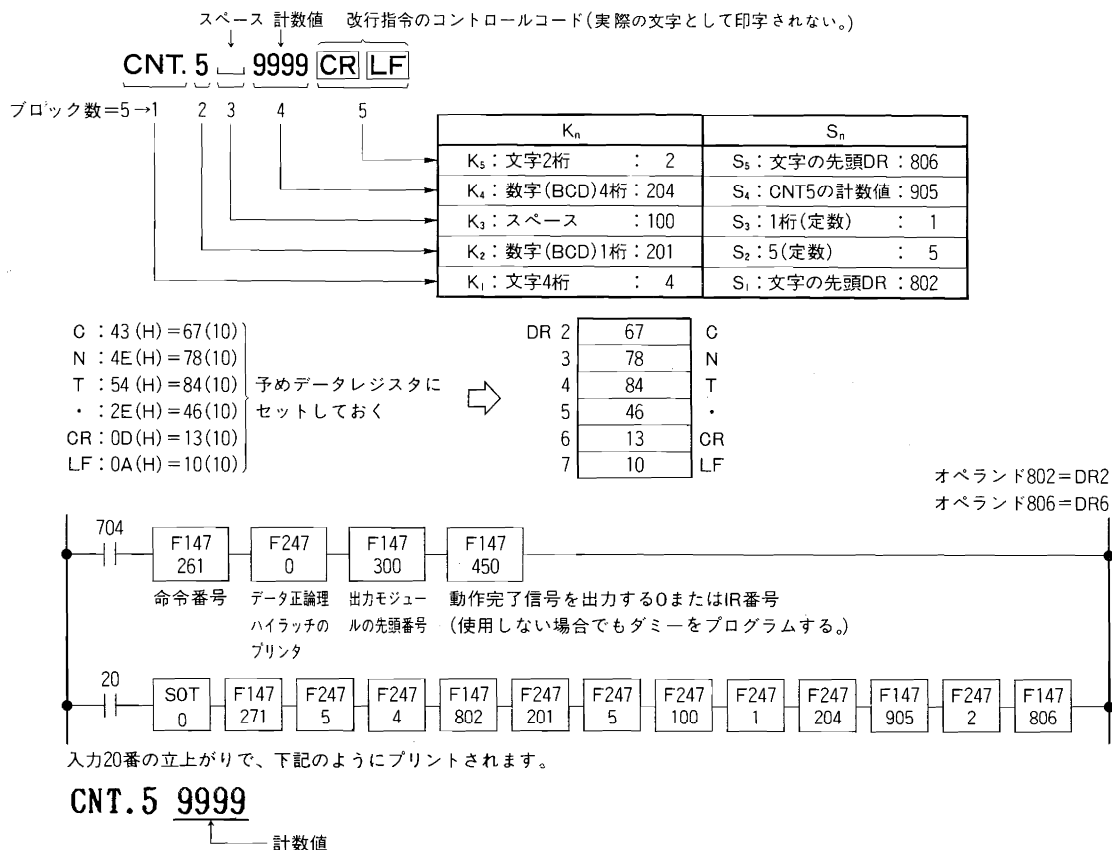
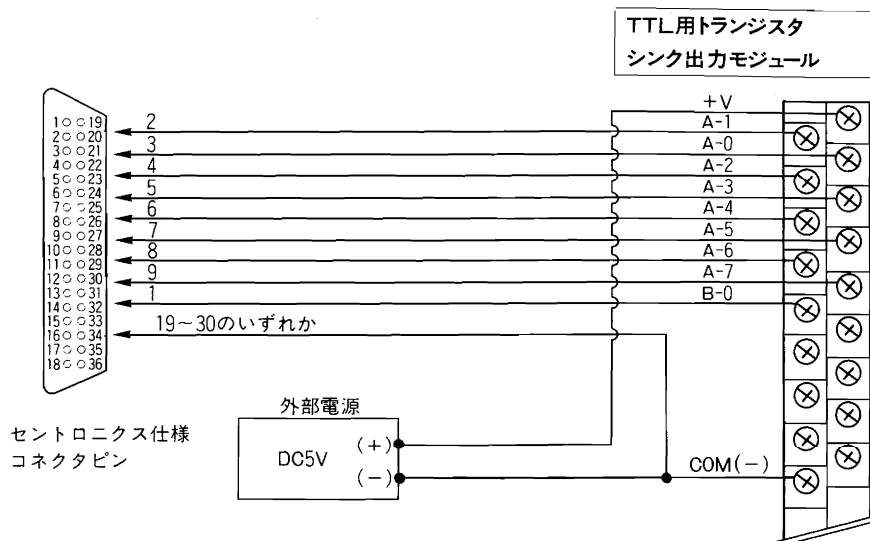


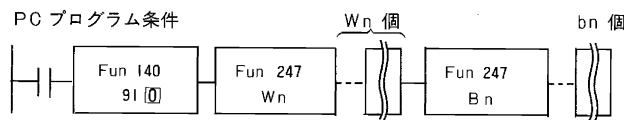
図16. 印字プログラム例

CNT.5_9999を表示させるが、プリンタの場合は1行の改行を行うため、改行指令のコントロールコードが必要。このコントロールコードは実際の文字として印字されない。



- 出力モジュールは32点TTL用トランジスタシンク出力モジュールを使用し、割付番号は先頭出力番号300番の位置に実装したものとする。
- プリンタはデータ信号入力時がLレベル、データSTB(ストロブ)信号がL→Hの変化時、データ信号の読み込みを行う、セントロニクス仕様とする。

図17. プリンタ接続例



トレースオペランド指定：使用するトレースバッファを立上がりショット(IR704)で一度は指定しておくこと。(再度の指定は任意)

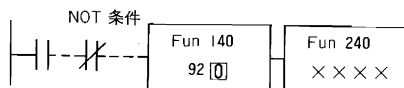
[0] ...トレースバッファ 1 使用

[1] ... " 2 "

Wn ...ワードオペランド個数(最大4)但し、 $Wn \times 16 + Bn \leq 64$ であること。

Bn ...ビットオペランド個数(最大63)

特殊リレーは、直接指定できないのでオペランドマップを利用してワードオペランド側で687 (2687) として間接的に取込む。



トレーストリガ条件：パソコン側でトリガオペランドを一カ所操作(リセット)

できるため、このNOT条件を組み込むと、パソコン側と同期を取ってトレーストリガ情報を取り込むことができる。

XXXX : トリガポイント指定(スキャンタイム経過数)

0 ~ 8999 (この回数経過後のデータをトレースする)

9000 ~ 9030 (9000 90XX 前からのデータをトレースする)

図18. トレーストリガ/オペランド指定命令の構成

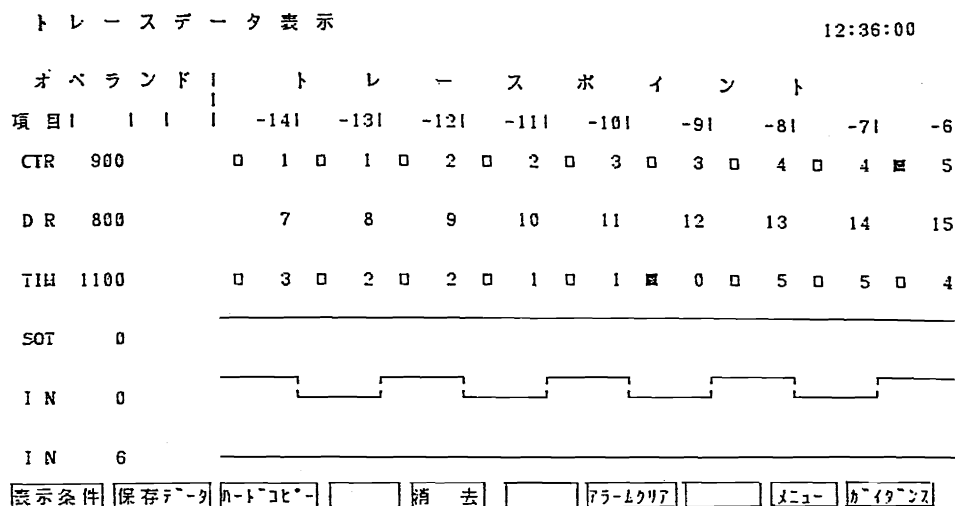


図20. トレースデータ表示例

表5. タイムチャートモニタ機能一覧

●FA-2/FA-2Jに組み込まれているトレーストリガ/オペランド指定命令の機能

ト レ ー ス 用 バッファの数	2 (同時に2種類のトレースが可能)
以下は、1トレースバッファ当りの機能	
ト レ ー ス オペランドの数	ワードオペランド $W_n \leq 4$ ヶ ビットオペランド $b_n \leq 63$ ヶ 但し、 $W_n * 16 + b_n \leq 64$
ト レ ー ス ポイント数	30ポイント (30スキャンぶんのデータを記録)
トリガ条件	任意(論理命令でプログラムする)
トリガデレー	
バック トレース	トリガ点の0~30スキャン 手前からトレース開始
フォワード トレース	トリガ点の1~9000スキャン 経過後、トレース開始

ワードオペランドとは、TIM、CNT、DR、16点を1単位としたIO、IR、SFRのこと。

ビットオペランドとは、IO、IR、SFRのこと。

表6. 表示項目一覧

表 示 項 目	表示記号	表 示 可 能 形 式			
		アンサインド	インデジャ	T/C	bit
入 力	IR	△	△	△	◎
拡張入力	IR	△	△	△	◎
出 力	OUT	△	△	△	◎
拡張出力	OUT	△	△	△	◎
内部リレー	IR	△	△	△	◎
拡張内部リレー	IR	△	△	△	◎
データレジスタ	DR	◎	○	△	○
拡張データレジスタ	DR	◎	○	△	○
カウ ン タ	CTR	△	△	◎	△
タ イ マ	TIM	△	△	◎	△
10msec. タイマ	TIM	△	△	◎	△
シフトレジスタ	SFR	△	△	△	◎
特 殊 リ レ ー	IR	△	△	△	◎
拡張特殊リレー	IR	△	△	△	◎
シ ョ ッ ト	SOT	△	△	△	◎

◎ デフォルト表示形式

○ 意味のある変更表示形式

△ 意味のない変更表示形式

4) FMSに対応が容易

5) システム全体のローコスト化

これらの効果を実現させる為、下記のモジュールを開発、計画中である。

1) バーコードインタフェイスモジュール

2) 高速カウンタモジュール

3) 時計機能付CPUモジュール

4) ASCIIモジュール

5) 位置決めモジュール

6) リモートI/Oモジュール

次に、PCのプログラムツールとして、パソコンによる各種アプリケーションソフトを供給しているが、一般の技術者が容易に親しめるプログラム言語、表現方式、操作方法により、一層の改良が必要である。人、機械間

のインタフェースの改良は使い易さの追求であり重要な課題である。PCの内部情報を常時表示及び監視する為の使い易さの追求も必要であろう。

5. む す び

開発の目的であった高精度な制御、規模の拡張性（複数システムリンク）、使い易さ、豊富で強力な命令語、プログラムツールとしてのパソコンCADの利用など、数

多くの特長の活用によってFA-2システムは、各種のユーザー工場内にて活躍しており、FAの中核機種となっている。

エレクトロニクスの進歩に支えられたプログラマブルコントローラの発展は限りがなく、当社においても総合自動制御システムの核となる中形プログラマブルコントローラの充実是我々の使命と考え高速化、多機能化、通信機能の強化、システム化を基本に新製品の開発に取り組む所存である。

最後にユーザ各位のご協力に心から御礼申し上げたい。

